

(7)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-271378

(43)Date of publication of application : 20.10.1995

(51)Int.CI.

G10H 7/08

G10H 1/057

(21)Application number : 06-062565

(71)Applicant : YAMAHA CORP

(22)Date of filing : 31.03.1994

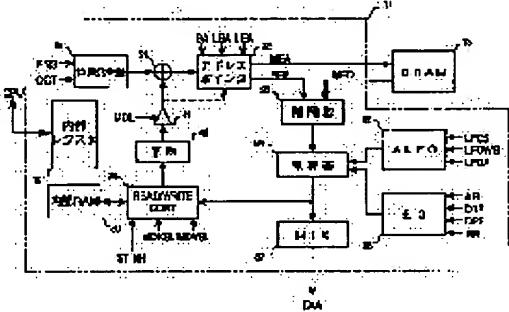
(72)Inventor : KURATA MITSUHIRO

(54) SOUND SOURCE DEVICE

(57)Abstract:

PURPOSE: To realize an FM sound source having high degree of freedom of algorithm in a sound source LSI 11 having plural pronunciation channels.

CONSTITUTION: A phase generator 30 generates the phase data based on the frequency of the signal data to be generated to input them to an adder 31. The modulation data are inputted to the adder 31, and the phase data are modulated by the modulation data. An address pointer 32 generates an address based on the phase data, and accesses to a DRAM 13 (waveform data storage means) with the address to read out the waveform data, and thus, the signal data are formed. The signal data are stored in an internal RAM 39 through an interpolater 33, a multiplier 34 and a read/write controller 38. The signal data stored in the internal RAM 39 are read out to other or one's own pronunciation channel as the modulation data to be inputted to the adder 31. The matter that any signal data are taken out from the internal RAM 39 as the modulation data is specified optionally, and optional algorithm is constituted according to the specification.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

【特許請求の範囲】

【請求項1】 波形データを記憶した波形データ記憶手段を備えるとともに、

形成すべき信号データの周波数に対応してアドレスを発生するアドレス発生手段と、該アドレス発生手段が発生したアドレスで前記波形データ記憶手段をアクセスし前記波形データを読み出すことにより信号データを形成する読み出手段とを有する発音チャンネルを複数備え、いずれかの発音チャンネルが形成した信号データを楽音データとして外部出力する音源装置であって、

前記複数の発音チャンネルに、前記複数の発音チャンネルが発生した信号データを順次記憶する信号データ一時記憶手段と、該信号データ一時記憶手段から変調データとして読み出すべき信号データを指定する変調データ指定手段と、該変調データ指定手段で指定された信号データを前記信号データ一時記憶手段から読み出して前記アドレス発生手段に入力する変調データ入力手段とを設け、

前記アドレス発生手段に、前記変調データとして入力された信号データを用いて、発生するアドレスを変位させるアドレス変位手段を設けたことを特徴とする音源装置。

【請求項2】 前記アドレス発生手段は、形成すべき信号データの周波数に対応した数値データを累算することにより位相データを発生する位相データ発生手段と、位相データに従ってアドレスを発生する手段とからなり、前記アドレス変位手段は、前記位相データ発生手段が発生した位相データに前記信号データ一時記憶手段から読み出された信号データを加算する加算手段であることを特徴とする。

【請求項3】 各発音チャンネルに、信号データの振幅特性を規定するエンベロープデータを発生するエンベロープデータ発生手段と、該エンベロープデータ発生手段が発生したエンベロープデータを信号データに付与するエンベロープ付与手段と、を備え、前記信号データ一時記憶手段を、該エンベロープ付与手段でエンベロープデータが付与された信号データを記憶する手段としたことを特徴とする請求項1記載の音源装置。

【請求項4】 前記変調データ指定手段は、複数の信号データを指定する手段であり、さらに、前記アドレス変位手段は、前記信号データ一時記憶手段から読み出された複数の信号データを用いて前記アドレスを変位させる手段である請求項1記載の音源装置。

【請求項5】 前記複数の発音チャンネルは、時分割チャンネルである請求項1記載の音源装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、複数の発音チャンネルを備えた音源装置に関し、特に、FM方式で楽音デー

タを形成する音源装置に関する。

【0002】

【従来の技術】 FM方式の音源装置は、以下のように構成された音源装置である。正弦波などの信号データ（オペレータ）を形成する発振回路を複数有しており、前記複数の発振回路について『前段の発振回路が形成した信号データを後段の発振回路の周波数決定部に入力してこの発振回路が形成する信号データの周波数を変調する』というデータ入出力を所定のアルゴリズムで行うものである。これら複数の発振回路のうち最終段の発振回路が形成した信号データは、複雑な変調を経て複雑な波形になっておりこれを楽音データとして出力する。

【0003】

【発明が解決しようとする課題】 しかし、従来のFM方式の音源装置は、各発振回路が形成した信号データを記憶するメモリを持たず、信号データをシフトレジスタ等に入力して遅延させたのち定められた他の発振回路に入力して変調データとして用いるように構成されていた。このため、複数の発振回路の接続がハード的に殆ど固定されることになり、オペレータの数やその接続形態などのアルゴリズムが固定化されてしまう欠点があった。

【0004】 この発明は、複数の発音チャンネルが形成した信号データを一時記憶し、自己を含む任意の発音チャンネルに入力できるようにしたことにより、任意のアルゴリズムが設定可能な音源装置を提供することを目的とする。

【0005】

【課題を解決するための手段】 この出願の請求項1の発明は、波形データを記憶した波形データ記憶手段を備えるとともに、形成すべき信号データの周波数に対応してアドレスを発生するアドレス発生手段と、該アドレス発生手段が発生したアドレスで前記波形データ記憶手段をアクセスし前記波形データを読み出すことにより信号データを形成する読み出手段とを有する発音チャンネルを複数備え、いずれかの発音チャンネルが形成した信号データを楽音データとして外部出力する音源装置であって、前記複数の発音チャンネルに、前記複数の発音チャンネルが発生した信号データを順次記憶する信号データ一時記憶手段と、該信号データ一時記憶手段から変調データ

として読み出すべき信号データを指定する変調データ指定手段と、該変調データ指定手段で指定された信号データを前記信号データ一時記憶手段から読み出して前記アドレス発生手段に入力する変調データ入力手段とを設け、前記アドレス発生手段に、前記変調データとして入力された信号データを用いて、発生するアドレスを変位させるアドレス変位手段を設けたことを特徴とする。

【0006】 この出願の請求項2の発明は、前記アドレス発生手段を形成すべき信号データの周波数に対応した数値データを累算することにより位相データを発生する位相データ発生手段と、位相データに従ってアドレスを

発生する手段とで構成し、前記アドレス変位手段を前記位相データ発生手段が発生した位相データに前記信号データー時記憶手段から読み出された信号データを加算する加算手段で構成したことを特徴とする。

【0007】この出願の請求項3の発明は、上記請求項1の発明において、各発音チャンネルに、信号データの振幅特性を規定するエンベロープデータを発生するエンベロープデータ発生手段と、該エンベロープデータ発生手段が発生したエンベロープデータを信号データに付与するエンベロープ付与手段とを備え、前記信号データー時記憶手段を、該エンベロープ付与手段でエンベロープデータが付与された信号データを記憶する手段としたことを特徴とする。

【0008】この出願の請求項4の発明は、上記請求項1の発明において、前記変調データ指定手段を複数の信号データを指定する手段とし、さらに、前記アドレス変位手段を前記信号データー時記憶手段から読み出された複数の信号データを用いて前記アドレスをシフトする手段としたことを特徴とする。

【0009】この出願の請求項5の発明は、上記請求項1の発明において、前記複数の発音チャンネルを時分割チャンネルで構成したことを特徴とする。

【0010】

【作用】各発音チャンネルは、形成すべき信号データの周波数に対応してアドレスを発生し、このアドレスで波形データ記憶手段をアクセスして波形データを読み出す。一方、発音チャンネルは、このアドレスを変調データで変位させることにより、波形データ（振幅値）を読み出すアドレスの進度を揺るがせ、信号データに周波数変調（FM変調）をかける。変調データは複数の発音チャンネルが形成し信号データー時記憶手段に記憶されている複数の信号データのなかから変調データ指定手段によって選択される。この変調データとして他のまたは自己の発音チャンネルが形成した信号データを用いるべく変調データ指定手段を設定することにより、複数の発音チャンネルが所定のアルゴリズムで連結され、FM音源を構成することができる。変調データ指定手段の設定は任意であるため、どのようなアルゴリズムを設定することもできる。このアルゴリズムにおいて終段に指定された発音チャンネルが形成した信号データが楽音データとして外部出力される。

【0011】また、請求項2の発明では、形成すべき信号データの周波数に対応した数値データを累算することによって位相データを形成し、この位相データに従ってアドレスを発生する。そして、この位相データに変調データとなる信号データを加算することによって上記発生されるアドレスを変位させる。

【0012】また、請求項3の発明では、信号データー時記憶手段に記憶する信号データをエンベロープを附加したものとした。これにより、アドレスの変調をより複

雜なものにすることができる。

【0013】さらに、請求項4の発明では、変調データ指定手段が複数の信号データを指定し、これによって信号データー時記憶手段から読み出された複数の信号データを平均演算した値を用いてアドレスを変位させる。これにより、複数の信号データでアドレスを変調することができ、より複雑なアルゴリズムの構成が可能になる。

【0014】また、請求項5の発明では、前記複数の発音チャンネルを時分割チャンネルで構成した。これにより、ハード回路を簡略化・小型化することができる。

【0015】

【実施例】図1はこの発明の実施例である音源LSIが適用されるテレビゲーム機の構成図である。ゲーム機本体1には、ディスプレイ4およびスピーカ5が接続されている。これらディスプレイ4およびスピーカ5としてはテレビ受像機に内蔵のものを用いることができる。また、ゲーム機本体1には前記ディスプレイ4、スピーカ5のほかに、ゲームプログラムを記憶したROM19を内蔵するゲームカートリッジ3、および、ゲームを行うためにプレーヤが操作するコントローラ2が接続されている。コントローラ2はケーブルを介してゲーム機本体1と接続され、ゲームカートリッジ3はゲーム機本体1に設けられたスロットに挿入される。ゲーム機本体1にはCPU10が内蔵されており、このCPU10がゲームの進行など装置全体の動作を制御する。CPU10には、前記コントローラ2、ゲームカートリッジ3内のROM19、表示制御用のディスプレイコントローラ14、および、効果音やBGM発生用の音源LSI11が接続されている。音源LSI11には波形データなどが記憶されるDRAM13および発生した楽音データをアナログの楽音信号に変換するD/A変換回路16が接続されている。

【0016】DRAM13には、音源LSI11が信号データを形成するための波形データが記憶されている。波形データとしては、サンプリングされた楽音の波形データであるボイス波形データ、および、単純な正弦波や三角波など（図5参照）の波形データであるモジュレーション波形データが記憶されている。音源LSI11は波形メモリ型音源として動作するときボイス波形データを読み出し、FM方式音源として動作する場合にはモジュレーション波形データを読み出す。なお、波形データは44.1kHzのPCMデータとして記憶されている。

【0017】D/A変換回路16には前記スピーカ5が接続されている。また、ディスプレイコントローラ14には画面表示データを記憶するVRAM15および前記ディスプレイ4が接続されている。

【0018】このゲーム機本体1にゲームカートリッジ3がセットされ電源がオンされると、まずCPU10は所定の画面データを読み込んでディスプレイコントロー

ラ 14 に送るとともに、効果音やBGMを発生するための波形データをDRAM13に書き込む。こののち、コントローラ2の操作によってゲームがスタートし、ゲームの進行に従って、CPU10が画面データの書き換えや効果音、BGMの発音を行う。

【0019】図2は前記音源LSI11の内部構成を示す図である。この音源LSI11は図示のように、位相発生器30、加算器31、アドレスポインタ32、補間器33、乗算器34、振幅変調用低周波発振器(ALFO)35、エンベロープジェネレータ(EG)36、出力ミキシング回路37、リード/ライトコントローラ38、内部RAM39、平均回路40および係数乗算器41を有している。この音源LSI11は、波形メモリ方式およびFM音源方式の2種類の方式で楽音データを形成することができ、上記回路が以下に説明するように動作して楽音データや変調データなどの低周波の信号データを発生する。なお、この音源LSI11は32の時分割チャンネルを有しており、32の信号データを同時に発生することができる。

【0020】音源LSI11は、内部レジスタ19を有している。内部レジスタ19には図3に示すように各々の発音チャンネルに対応する複数の記憶エリアが設定されている。ある発音チャンネルを発音/消音させると、対応する記憶エリアにCPU10がデータをセットする。位相発生器30は音名に対応するFNSデータおよびオクターブデータOCTを内部レジスタ19から読み出し、これらに基づいて所定のサンプリング周期(44.1kHz)毎に位相データを発生する。この位相データは、加算器31に入力される。加算器31には、係数乗算器41から変調データが入力される。係数乗算器41から変調データが入力されると、加算器31は位相データにこの変調データを加算してアドレスポインタ32に出力する。変調データは内部RAM39から読み出された低周波の信号データであるため、この変調データにより位相データが一定周期で揺るがされ、これによって、アドレスポインタ32が出力するアドレス値が前後にシフトされることにより、読み出される信号データの波形が周波数変調されることになる。

【0021】アドレスポインタ32は、内部レジスタ19に記憶されているスタートアドレスSA、ループスタートアドレスLSA、ループエンドアドレスLEAを波形データを指定するデータとして読み込む。スタートアドレスSAは、DRAM13内で波形データの先頭を指定するアドレスである。ループスタートアドレスLSA、ループエンドアドレスLEAはこの波形データを長時間読み出すとき、繰り返し読み出される区間を示すアドレスである。アドレスポインタ32は加算器31から入力された位相データに基づいてアドレスの歩進量を決定し、小数部を含むアドレスデータを出力する。アドレスデータの小数部データFRAは補間器33に出力さ

れ、この小数部を挟む2つの整数アドレスMEAはDRAM13に出力される。

【0022】入力された2つの整数アドレスMEAによって、DRAM13からは隣接する2つの波形データが読み出される。DRAM13から読みだされた波形データは補間器33に入力される。補間器33は、入力された2個の波形データをアドレスポインタ32から入力された小数部データFRAの値に応じて補間することにより該サンプリングタイミングの信号データを形成する。補間器33はこのデータを乗算器34に入力する。

【0023】乗算器34には、振幅変調用低周波発振器(ALFO)35およびエンベロープジェネレータ(EG)36が接続されている。ALFO35は、内部レジスタ19から読み込む周波数データLFOF、波形指定データLFOWS、影響度データ(振幅データ)LFOSに基づいて図5に示すような低周波波形からなる変調信号データを発生する。EG36は内部レジスタ19からアタックレートAR、第1ディケイレートD1R、第2ディケイレートD2R、リリースレートRRを読み込み、例えば、図6に示すようなエンベロープ波形データを発生する。

【0024】乗算器34は補間器33が形成した信号データに上記の変調信号データやエンベロープ波形データを乗算する。エンベロープ波形データの乗算により、信号データには発音から消音までの間のエンベロープが付与される。なお、信号データが他の信号データを変調するためのオペレータとして用いられる場合には、図6とは全く異なる波形のエンベロープが付与される場合がある。

【0025】乗算器34の出力は出力ミキシング回路37およびリード/ライトコントローラ38に供給される。出力ミキシング回路37では、入力された信号データを楽音データとして左右2チャンネルにミキシングしてD/A変換回路16に出力する。

【0026】ここで、この音源LSI11(発音チャンネル)を波形メモリ方式の音源として用いる場合には、ボイス波形データをDRAM13から読み出して信号データを形成し、乗算器34においてエンベロープを附加して出力ミキシング回路37に出力する。

【0027】一方、この音源LSI11をFM音源として用いる場合には、リード/ライトコントローラ38に接続されている内部RAM39に乗算器34から入力された信号データ(オペレータ)を書き込み、これを変調データとして用いる。内部RAM39は32チャンネルの信号データを2サンプリングタイミング(2世代)分記憶できる64ワードの記憶エリアを有しており、リード/ライトコントローラ38は、乗算器34から入力された信号データをこの内部RAM39の所定エリアに書き込むとともに、所定の発音チャンネルの時分割タイミングに所定の(アルゴリズムで指定された)1つまたは

2つの信号データを読み出して平均化回路40に入力する。各時分割タイミングにどのデータを読み出すかは、各発音チャンネルのレジスタ(図3参照)に記憶された1つまたは2つの変調データ指定データMDXSL, MDYSLで指定される。リード/ライトコントローラ38は、このMDXSL, MDYSLを読み取って、内部RAM39から読み出す信号データを決定する。なお、リード/ライトコントローラ38に入力されるSTINHは、内部RAM39の使用の許可/禁止を指示するデータである。この音源LSI11をFM音源として用いない場合には、内部RAM39を用いる必要がないため、この場合には、リード/ライトコントローラ38に内部RAM39の使用を禁止して、このエリアを他のワークエリア等に使用できるようにする。

【0028】ここで、前記MDXSL, MDYSLの指定がFM音源方式で楽音データを形成する際のアルゴリズム指定となる。すなわち、このMDXSL, MDYSLで複数の発音チャンネルの発音データを関連づけることによって、図4のようなアルゴリズムが構成される。平均化回路30は、リード/ライトコントローラ38から2つのデータが読みだされた場合、これらのデータの平均値を算出する回路である。この平均演算は、相加平均、相乗平均やこれらの加重平均など、どのような演算を行ってもよい。平均化回路30によって平均されたデータは、係数乗算器31において変調度データMDLを乗算されたのち加算器31に入力される。

【0029】たとえば、図4(A)のように発音チャンネル0から発音チャンネル3まで位相データ(読出周波数)を順次変調する方式の場合には、発音チャンネル0の信号データを一旦内部RAM39に記憶し、リード/ライトコントローラ38を介して発音チャンネル1のタイミングに加算器31に戻す。この動作を同様に発音チャンネル3まで行い、発音チャンネル3の信号データを楽音データとして出力ミキシング回路37に入力するようすればよい。

【0030】また、同図(B)のように発音チャンネル0、発音チャンネル1の信号データを加算合成(または乗算合成)し、そのデータで発音チャンネル2の読み出し周波数を変調する場合には、発音チャンネル0、発音チャンネル1のデータとともに内部RAM39に記憶しておき、発音チャンネル2の時分割タイミングにこれらを読みだして平均化回路40に入力するようすればよい。

【0031】さらに、同図(C)のように発音チャンネル0が形成した信号データをフィードバックして自己の読出周波数を変調する場合には、発音チャンネル0の信号データを一旦内部RAM39に記憶し、次またはそれ以後の発音チャンネル0の時分割タイミングに加算器31に入力してやればよい。

【0032】このように、ある発音チャンネルにおける

波形読出周波数を変調する場合には、変調データとなる信号データを内部RAM39に記憶しておき、被変調データとなる信号データを読み出す発音チャンネル(時分割タイミング)にこれを読み出してアドレスポインタ32の手前の加算器31に入力してやればよい。

【0033】図3は、前記内部レジスタ19の構成図である。同図には、発音チャンネル0のレジスタの構成のみを示しているが、他の31の発音チャンネル(発音チャンネル1～発音チャンネル31)も全く同様の構成である。1つの発音チャンネルに対して16ビット×9列のレジスタエリアが割り当てられており、図2の説明において示した各種のデータの記憶エリアが割り当てられている。

【0034】また、第1列の第11ビットおよび第12ビットに発音/消音ビットKBおよび実行ビットKXが割り当てられている。これらの発音消音ビットKBおよび実行ビットKXはアルゴリズムでグループ化されている複数の発音チャンネルを同時に発音/消音させ、複数の信号データ(オペレータ)の位相を一致させるためのフラグである。

【0035】発音チャンネル0に発音を指示する場合には、発音チャンネル0レジスタに各種のデータを書き込むとともに、KBに“1”をセットする。このチャンネルのみの発音の場合にはKXにも“1”をセットする。一方、発音チャンネル0以外にも同時に発音させるチャンネルがある場合には、KBのみに“1”をセットしKXのセットは行わず、他のチャンネルのレジスタに対してデータの書き込みを行う。最後にデータを書き込んだレジスタのKXをセットする。各発音チャンネルは、いずれかのKXがセットされているのを確認したとき発音動作を開始するため、このKXのセットにより、データをセットした発音チャンネルが同時に(1サンプリングタイミング内に)発音を開始することになる。

【0036】すなわち、音源LSI11は、各発音チャンネルの動作タイミングに当該発音チャンネルのレジスタからKBがセットされているか否かを判断するとともに、他の全発音チャンネルのレジスタのKXが判断されているか否かを判断するように構成されている。これにより、各発音チャンネルにおいては、自己のKBがセットされており、且つ、自己を含むいずれかの発音チャンネルのKXがセットされていたとき、発音タイミングであるとして発音動作を開始する。同時に、自己の発音チャンネルのKBを“0”にリセットする。また、自己のKXがセットされている場合には、KXは次の自己の時分割タイミングにリセットする。これにより1つのKXのセットによりそのときKBがセットされていた全発音チャンネルの動作を1サンプリングサイクルの時分割タイミング内に開始させることができ、且つ、以後の発音チャンネルの動作に影響を及ぼさない。

【0037】なお、上記説明は、発音開始時の動作のみ

説明したが、消音時も同様である。すなわち、発音中の発音チャンネルに対してKBをセットすると、その後のKXをトリガとしてその発音チャンネルは消音する。

【0038】また、レジスタエリアには、上述したMD XSL, MDYSL, STINHおよびMDLの記憶エリアも設定されている。このうち、複数の発音チャンネルにおけるMDXSL, MDYSLの設定によりFM音源としてのアルゴリズムが設定される。たとえば、図4のアルゴリズムを設定する場合には、発音チャンネル0～3のMDXSL, MDYSLに図7の様なチャンネル指定を行えばよい。すなわち、図4(A)のアルゴリズムを設定する場合には図7(A)のように、

発音チャンネル0 : MDXSL-指定なし, MDYSL-指定なし

発音チャンネル1 : MDXSL-ch0, MDYSL-指定なし

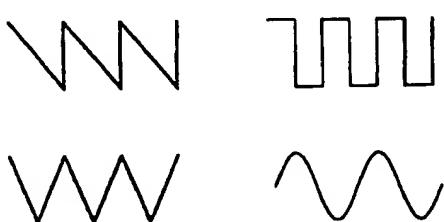
発音チャンネル0 : MDXSL-ch1, MDYSL-指定なし

発音チャンネル0 : MDXSL-ch2, MDYSL-指定なし

とする。以下、図4(B)のアルゴリズムを設定する場合には、図7(B)のように設定する。図4(C)のアルゴリズムを設定する場合には、図7(C)のように設定する。なお、内部メモリ39には同一発音チャンネルについて2世代の信号データが記憶されているが、図7の設定テーブルではこれを区別していない。同じ進度のデータを用いたい場合には直前の信号データを選択し、遅延したデータを用いたい場合には1世代前の信号データを選択するようにすればよい。

【0039】なお、上記実施例の音源LSI11は、32チャンネルの発音チャンネルを有しているが、これらを全てFM音源として使用し、図4のように4チャンネルで1つの楽音データを形成する(4オペレータ)アルゴリズムを構成すると、8音を同時に発音することができる。また、32チャンネルの発音チャンネルのうち一部をFM音源として用い、他の一部を波形メモリ音源として用いることもできる。また、図4には4オペレータのアルゴリズムのみを示しているが、オペレータ数は4

【図5】



に限定されるものではない。

【0040】また、上記実施例では変調データを位相発生器30とアドレスポインタ32との間に設けられた加算器31に入力しているが、変調データを直接アドレスポインタ32に入力してアドレスを直接変調するようにしてもよい。

【0041】

【発明の効果】この発明によれば、変調データ指定手段によりどの発音チャンネルの信号データでも変調データとして選択できるため、任意のアルゴリズムを構成することができ、極めて自由度の高いFM音源を実現することができる。

【0042】また、変調データとして使用される信号データにエンベロープを付与することにより、アドレスの変調をより複雑なものにすることができる。

【0043】さらに、複数の信号データを変調データとして使用して波形データ記憶手段をアクセスするアドレスを変調することにより、より複雑なアルゴリズムを構成することができる。

【図面の簡単な説明】

【図1】この発明の実施例である音源LSIが用いられるゲーム装置のブロック図

【図2】同音源LSIのブロック図

【図3】同音源LSIの内部レジスタの構成を示す図

【図4】同音源LSIで用いられる楽音信号形成アルゴリズムの例を示す図

【図5】音源LSIが形成する、および、内蔵のALF F0が形成する低周波波形の例を示す図

【図6】同音源LSIが内蔵しているエンベロープジェネレータが形成するエンベロープ波形の例を示す図

【図7】前記内部レジスタのMDXSL, DMYSLの設定例を示す図

【符号の説明】

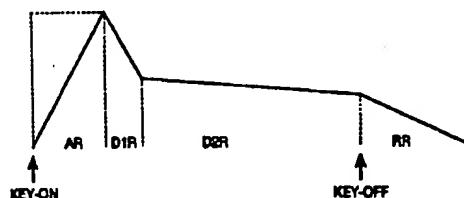
31-加算器

36-エンベロープジェネレータ

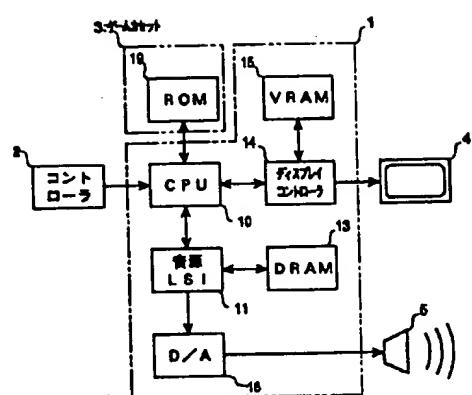
38-リード/ライトコントローラ

39-内部RAM

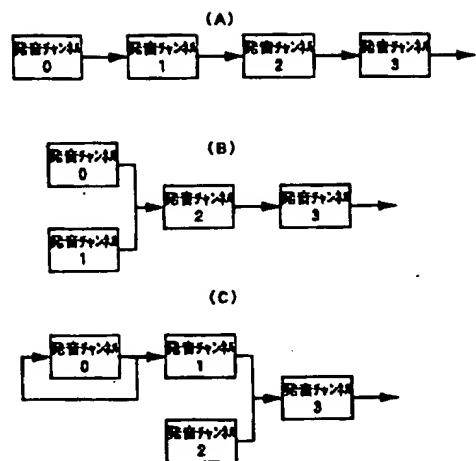
【図6】



【図1】

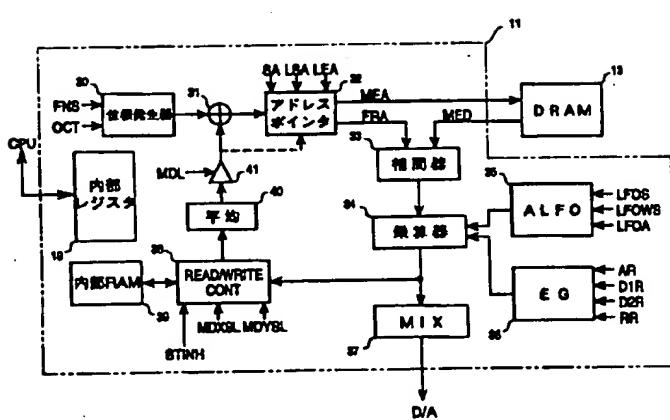


【図4】

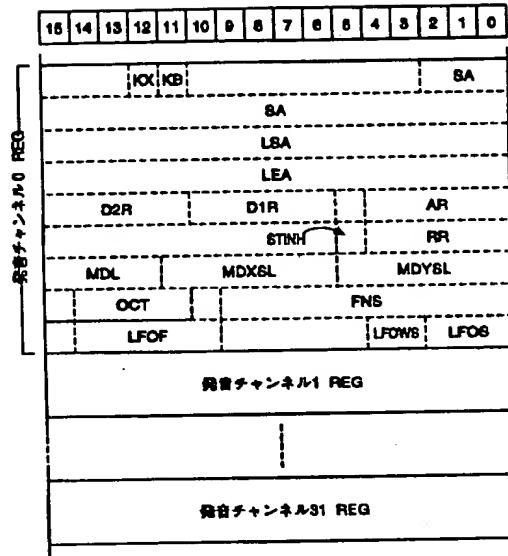


全体構成図

【図2】



【図3】



【図7】

発音チャンネル	MDXSL	MDYSL
0	-	-
1	0	-
2	1	-
3	2	-

発音チャンネル	MDXSL	MDYSL
0	-	-
1	-	-
2	0	1
3	2	-

発音チャンネル	MDXSL	MDYSL
0	0	-
1	0	-
2	-	-
3	1	2